

Docket No.: SON-2791  
(PATENT)

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Patent Application of:  
Kenichi Satori

Application No.: Not Yet Assigned

Group Art Unit: N/A

Filed: July 31, 2003

Examiner: Not Yet Assigned

For: SEMICONDUCTOR MEMORY DEVICE

**CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENTS**

MS Patent Application  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Dear Sir:

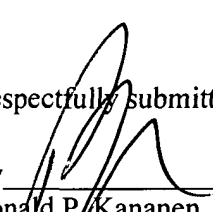
Applicant hereby claims priority under 35 U.S.C. 119 based on the following prior foreign application filed in the following foreign country on the date indicated:

<u>Country</u>	<u>Application No.</u>	<u>Date</u>
Japan	P2002-226603	August 2, 2002

In support of this claim, a certified copy of the said original foreign application is filed herewith.

Dated: July 31, 2003

Respectfully submitted,

By   
Ronald P. Kananen  
Registration No.: 24,104  
(202) 955-3750  
Attorneys for Applicant

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 8月 2日

出 願 番 号

Application Number:

特願2002-226603

[ ST.10/C ]:

[ JP2002-226603 ]

出 願 人

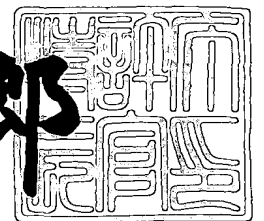
Applicant(s):

ソニー株式会社

2003年 6月 2日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3042409

【書類名】 特許願

【整理番号】 0290229603

【提出日】 平成14年 8月 2日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/10  
H03M 13/03

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社  
内

【氏名】 佐鳥 謙一

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代理人】

【識別番号】 100094053

【弁理士】

【氏名又は名称】 佐藤 隆久

【手数料の表示】

【予納台帳番号】 014890

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9707389

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項 1】

入力データを所定の誤り訂正符号化方式従って符号化する符号化手段と、  
上記入力データと所定の状態データとを比較する比較手段と、  
上記比較手段の比較結果に応じて、上記入力データまたは上記符号化手段から  
出力される符号化データの何れかを選択する選択手段と、  
上記選択手段によって選択されたデータを記憶する不揮発性メモリと  
を有し、上記不揮発性メモリは、所定の初期化状態において上記状態データを  
保持する  
半導体記憶装置。

【請求項 2】

上記不揮発性メモリは、消去状態において上記状態データを保持する  
請求項 1 記載の半導体記憶装置。

【請求項 3】

上記選択手段は、上記入力データが上記状態データと一致するとき、上記状態  
データを選択し、上記入力データが上記状態データと一致しないとき、上記符号  
化手段から出力される上記符号化データを選択する  
請求項 1 記載の半導体記憶装置。

【請求項 4】

不揮発性メモリから読み出したデータを所定の誤り訂正復号化方式に従って復  
号化する復号化手段と、  
上記復号化手段に入力されるデータと所定の状態データとを比較する比較手段  
と、  
上記比較手段の比較結果に応じて、上記状態データまたは上記復号化手段から  
出力される復号化データの何れかを選択する選択手段と  
を有し、上記不揮発性メモリは、所定の初期化状態において上記状態データを  
保持する

半導体記憶装置。

【請求項 5】

上記選択手段は、上記読み出しデータが上記状態データと一致するとき、上記状態データを選択し、上記読み出しデータが上記状態データと一致しないとき、上記復号化データを選択する

請求項 4 記載の半導体記憶装置。

【請求項 6】

入出力データに対して誤り訂正符号化／復号化処理を行う半導体記憶装置であって、

入力データを所定の誤り訂正符号化方式従って符号化する符号化手段と、

上記入力データと所定の状態データとを比較する比較手段と、

上記比較手段の比較結果に応じて、上記入力データまたは上記符号化手段から出力される符号化データの何れかを選択する第 1 の選択手段と、

上記選択手段によって選択されたデータを記憶する不揮発性メモリと、

上記不揮発性メモリから読み出したデータを所定の誤り訂正復号化方式に従って復号化する復号化手段と、

上記復号化手段によって出力された復号化データと上記状態データとを比較する比較手段と、

上記比較手段の比較結果に応じて、上記状態データまたは上記復号化データの何れかを選択する第 2 の選択手段と

を有し、上記不揮発性メモリは、所定の初期化状態において上記状態データを保持する

半導体記憶装置。

【請求項 7】

上記不揮発性メモリは、消去状態において上記状態データを保持する

請求項 6 記載の半導体記憶装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体記憶装置、例えば、書き込みのとき誤り訂正のため入力データに対して符号化処理を行った符号化データを不揮発性メモリに記憶し、読み出しのとき、不揮発性メモリからの読み出しデータに対して誤り訂正複合化処理を行う半導体記憶装置に関するものである。

#### 【 0 0 0 2 】

##### 【従来の技術】

不揮発性メモリを用いて、データを記憶する不揮発性記憶装置では、記憶データの信頼性を確保するために、読み出し時に誤り検出及び誤り訂正を行っている。このため、入力データを不揮発性メモリに書き込む前に、誤り検出及び誤り訂正のための符号化処理が行われる。

#### 【 0 0 0 3 】

誤り訂正符号化処理に用いられる符号化方式は、例えば、リードソロモン符号化、BCH符号化などがある。これらの誤り訂正符号化処理により、入力データが符号化され、誤り訂正符号が生成される。そして、誤り訂正符号が不揮発性メモリによって記憶される。

読み出しのとき、不揮発性メモリから誤り訂正符号化処理が施されたデータが読み出される。読み出したデータに基づき、誤り訂正符号化処理に対応した復号化処理によって、もとのデータを復元する。

#### 【 0 0 0 4 】

上述した符号化及び復号化処理により、例えば、不揮発性メモリに対する書き込みまたは読み出しのときに誤りが発生しても、復号化処理によって、この誤りが訂正されるので、入力されるデータを正確に復元することができ、不揮発性記憶装置の信頼性を改善することができる。

#### 【 0 0 0 5 】

##### 【発明が解決しようとする課題】

ところで、上述した従来の不揮発性メモリを用いた符号化及び復号化処理では、消去後の不揮発性メモリからの読み出したデータがすべて「1」となる場合、誤り訂正用の符号化ビットはすべて1ではない。このことは、消去済の不揮発性メモリからデータを読み出すとき、誤り検出及び誤り訂正を行う誤り検出／訂正

回路から、「誤りあり」とい判定結果を出力することを意味する。

【0006】

また、書き込み時にデータをすべて「1」で書き込む場合、誤り検出／誤り訂正用の符号化ビットは「1」ではないので、本来書き込みを行いたくないビットでも、かならず誤り訂正用の符号化ビットを「0」にして書き込みを行わなければならない。

即ち、不揮発性メモリがある特定の初期状態、例えば、消去状態にある場合、当該不揮発性メモリのすべてのメモリセルが一定の状態に保持されるので、不揮発性メモリの記憶データがすべて一定の値、例えば、「1」になる。この場合、不揮発性メモリからの読み出しデータに対して所定の誤り訂正復号化処理を行うと、誤りありとの判定結果となり、不揮発性メモリに記憶されているデータの本来の状態を正確に表すことができなくなるという不利益がある。

【0007】

本発明は、かかる事情に鑑みてなされたものであり、その目的は、不揮発性メモリの書き込み、読み出しデータに対して、誤り訂正のための符号化処理及び復号化処理を行う半導体記憶装置において、不揮発性メモリが所定の初期状態にあるとき、誤り検出により生じる誤判定を回避できる半導体記憶装置を提供することにある。

【0008】

【課題を解決するための手段】

上記目的を達成するため、本発明の半導体記憶装置は、入力データを所定の誤り訂正符号化方式従って符号化する符号化手段と、上記入力データと所定の状態データとを比較する比較手段と、上記比較手段の比較結果に応じて、上記入力データまたは上記符号化手段から出力される符号化データの何れかを選択する選択手段と、上記選択手段によって選択されたデータを記憶する不揮発性メモリとを有し、上記不揮発性メモリは、所定の初期化状態において上記状態データを保持する。

【0009】

また、本発明では、好適には、上記不揮発性メモリは、消去状態において上記

状態データを保持する。

【0010】

また、本発明では、好適には、上記選択手段は、上記入力データが上記状態データと一致するとき、上記状態データを選択し、上記入力データが上記状態データと一致しないとき、上記符号化手段から出力される上記符号化データを選択する。

【0011】

また、本発明の半導体記憶装置は、不揮発性メモリから読み出したデータを所定の誤り訂正復号化方式に従って復号化する復号化手段と、上記復号化手段に入力されるデータと所定の状態データとを比較する比較手段と、上記比較手段の比較結果に応じて、上記状態データまたは上記復号化手段から出力される復号化データの何れかを選択する選択手段とを有し、上記不揮発性メモリは、所定の初期化状態において上記状態データを保持する。

【0012】

また、本発明では、好適には、上記選択手段は、上記読み出しデータが上記状態データと一致するとき、上記状態データを選択し、上記読み出しデータが上記状態データと一致しないとき、上記復号化データを選択する。

【0013】

さらに、本発明の半導体記憶装置は、入出力データに対して誤り訂正符号化／復号化処理を行う半導体記憶装置であって、入力データを所定の誤り訂正符号化方式に従って符号化する符号化手段と、上記入力データと所定の状態データとを比較する比較手段と、上記比較手段の比較結果に応じて、上記入力データまたは上記符号化手段から出力される符号化データの何れかを選択する第1の選択手段と、上記選択手段によって選択されたデータを記憶する不揮発性メモリと、上記不揮発性メモリから読み出したデータを所定の誤り訂正復号化方式に従って復号化する復号化手段と、上記復号化手段によって出力された復号化データと上記状態データとを比較する比較手段と、上記比較手段の比較結果に応じて、上記状態データまたは上記復号化データの何れかを選択する第2の選択手段とを有し、上記不揮発性メモリは、所定の初期化状態において上記状態データを保持する。



## 【 0 0 1 4 】

本発明によれば、書き込みのとき、書き込みデータと所定の状態データ、例えば、不揮発性メモリの消去状態にあるときの消去データとが比較され、当該比較の結果に応じて、書き込みデータが消去データと一致するとき、消去データを選択し、逆に一致しないとき、書き込みを誤り訂正符号化処理した符号化データを選択して不揮発性メモリに書き込む。読み出しのとき、不揮発性メモリからの読み出しデータと消去データとの比較結果に応じて、読み出しデータが消去データと一致するとき、消去データを選択し、逆に一致しないとき、読み出しデータを誤り訂正復号化処理した復号化データを選択して出力する。これによって、消去データとすべて一致する書き込みデータにおける誤り訂正の誤判断の発生が回避される。

## 【 0 0 1 5 】

## 【発明の実施の形態】

図 1 は本発明に係る半導体記憶装置の一実施形態を示す構成図である。

図示のように、本実施形態の半導体記憶装置 1 0 0 は、制御部と記憶部によって構成されている。記憶部は、不揮発性メモリ、例えば、データの消去をブロック単位またはチップ単位で行ういわゆるフラッシュメモリ 1 8 0 によって構成されている。制御部 1 1 0 は、誤り検出／訂正機能を実現するための部分回路、データの入出力を行うインターフェース、及び入出力データを一時的に記憶するためのバッファ（レジスタ）などによって構成されている。

なお、本実施形態の半導体記憶装置によって、フラッシュメモリを用いて情報記憶機能を有する携帯型の記憶装置、例えば、メモリカードを構成できる。この他に、情報記憶のほか、記憶情報に対して所定の処理を加えてある特定の機能を達成する、例えば、いわゆる I C カードの一部分を構成することもできる。

## 【 0 0 1 6 】

図 1 に示すように、本実施形態の半導体記憶装置 1 0 0 において、制御部 1 1 0 は、インターフェース部 1 2 0、書き込みレジスタ 1 3 0、読み出しレジスタ 1 4 0、誤り訂正回路（符号化／復号化回路） 1 5 0、ページバッファ 1 6 0、フラッシュメモリ・インターフェース 1 7 0 によって構成されている。以下、制

御部 1 1 0 の各構成部分について説明する。

【 0 0 1 7 】

インターフェース部 1 2 0 は、外部から入力される制御信号 C T L 及び書き込みデータ  $D_{in}$  を保持して、制御部 1 1 0 の他の各部分回路に出力する。また、インターフェース部 1 2 0 は、制御部 1 1 0 からの制御信号、読み出しデータ  $D_{out}$  を保持して、外部に出力する。

【 0 0 1 8 】

書き込みレジスタ 1 3 0 は、インターフェース部 1 2 0 から入力される書き込みを制御する制御データ及び制御命令（コマンド）を記憶し、そして、記憶したデータを所定のタイミングでフラッシュメモリ・インターフェース 1 7 0 に出力する。

読み出しレジスタ 1 4 0 は、フラッシュメモリ・インターフェース 1 7 0 から出力された制御データ、制御コマンドなどを記憶し、所定のタイミングでインターフェース部 1 2 0 に出力する。

【 0 0 1 9 】

誤り訂正回路 1 5 0 は、誤り訂正のための符号化処理及び復号化処理を行う。フラッシュメモリ 1 8 0 にデータを書き込む場合、外部から入力される書き込みデータ  $D_{in}$  がインターフェース部 1 2 0 を介して、ページバッファ 1 6 0 に入力される。そして、ページバッファ 1 6 0 から書き込みデータ  $D_{in}$  が読み出され、誤り訂正回路 1 5 0 に入力される。誤り訂正回路 1 5 0 は、データ  $D_{in}$  に対して、予め決められた符号化方式に基づき、誤り訂正符号化処理を行い、符号化された符号化コードをフラッシュメモリ・インターフェース 1 7 0 に出力する。

【 0 0 2 0 】

一方、フラッシュメモリ 1 8 0 から記憶データを読み出す場合、読み出したデータがフラッシュメモリ・インターフェース 1 7 0 を介して、誤り訂正回路 1 4 0 に入力される。誤り訂正回路 1 5 0 は、読み出したデータに対して、書き込み時の符号化処理で用いられた符号化処理に対応した復号化処理を行い、読み出しデータに含まれる誤りを検出し、訂正する。そして、訂正後のデータをページバッファ 1 6 0 に入力する。

## 【 0 0 2 1 】

ページバッファ 1 6 0 は、書き込み及び読み出しのとき、書き込みデータ及び読み出しデータを保持するために設けられている。書き込みのとき、インターフェース部 1 2 0 から入力される書き込みデータ  $D_{in}$  を記憶し、そして、記憶したデータを所定のタイミングで誤り訂正回路 1 5 0 またはフラッシュメモリ・インターフェース 1 7 0 に出力する。

読み出しのとき、ページバッファ 1 6 0 は、フラッシュメモリ・インターフェース 1 7 0 から出力された読み出しデータ、または、誤り訂正回路 1 5 0 から出力された誤り訂正後のデータ  $D_{out}$  を記憶し、所定のタイミングでインターフェース部 1 2 0 に出力する。

ページバッファ 1 6 0 を設けることにより、データ入出力のタイミングを調整することができる。

## 【 0 0 2 2 】

次に、本実施形態の半導体記憶装置における誤り訂正回路 1 5 0 の構成及び動作について説明する。

図 2 は、誤り訂正回路 1 5 0 及びフラッシュメモリ・インターフェース 1 7 0 、フラッシュメモリ 1 8 0 を含む部分回路を示す構成図である。

## 【 0 0 2 3 】

図 2 に示すように、誤り訂正回路 1 5 0 は、誤り訂正符号化回路（ECC 符号化回路）2 0、選択回路（SEL）3 0、消去データレジスタ 4 0、一致検出回路 5 0、選択回路 6 0、誤り訂正復号化回路（ECC 復号化回路）7 0 及び RAM 8 0 によって構成されている。

以下、誤り訂正回路 1 5 0 の各構成部分について説明する。

## 【 0 0 2 4 】

ECC 符号化回路 2 0 は、入力の書き込みデータ  $D_{in}$  に対して、予め決められた符号化方式に基づき、誤り訂正符号化処理を行う。ECC 符号化回路 2 0 によって符号化された誤り訂正符号は、選択回路 3 0 に出力される。

## 【 0 0 2 5 】

選択回路 3 0 は、ECC 符号化回路 2 0 から出力された誤り訂正符号と消去デ

ータレジスタ40から出力された消去データを、一致検出回路50の検出結果に応じて選択する。選択回路30によって選択されたデータがフラッシュメモリ・インターフェース170を介して、フラッシュメモリ180に書き込まれる。

## 【0026】

消去データレジスタ40は、フラッシュメモリ180が消去状態にあるときの各メモリセルの記憶データ（以下、便宜上これを単に消去データ $D_E$ と表記する）を所定の単位、例えば、バイト単位、または複数バイトの単位で格納する。そして、消去データレジスタ40は、格納されている消去データ $D_E$ を一致検出回路、及び選択回路30と60に供給する。

## 【0027】

一致検出回路50は、消去データレジスタ40から出力される消去データ $D_E$ と、書き込みデータ $D_{in}$ または読み出しデータ $D_R$ とを比較し、比較の結果を示す比較信号 $S_{CP}$ を選択回路30及び選択回路60に出力し、これらの選択回路の選択動作を制御する。

## 【0028】

選択回路60は、一致検出回路50の検出結果を示す比較信号 $S_{CP}$ に応じて、消去データレジスタ40によって出力される消去データとECC復号化回路70によって出力される誤り訂正復号化処理の結果との何れかを選択し、選択したデータを読み出しデータ $D_{out}$ として出力する。

## 【0029】

ECC復号化回路70は、フラッシュメモリ180から読み出したデータ $D_R$ に対してECC符号化回路20で行われた誤り訂正符号化処理と逆の処理を行う。即ち、ECC復号化回路70は、読み出したデータ $D_R$ に対して、決められた誤り訂正復号処理を行い、もとのデータを復元する。

## 【0030】

RAM80は、フラッシュメモリ・インターフェース170から出力される読み出しデータ $D_R$ を記憶し、そして記憶したデータ $D_R$ を所定のタイミングでECC復号化回路70に供給する。即ち、RAM170は、読み出しデータ $D_R$ を一時保持するバッファとして機能する。RAM170により、読み出しデータ $D$

R の出力タイミングを調整することができる。

#### 【 0 0 3 1 】

本実施形態において、書き込みデータを記憶するフラッシュメモリ 1 8 0 は、所定の単位でデータの消去を行う。例えば、フラッシュメモリ 1 8 0 において、ブロック単位、ページ単位、またはチップ全体を一括して消去が行われる。消去後、フラッシュメモリ 1 8 0 のすべてのメモリセルには同じデータが保持される。このときの保持データが、例えば、バイト単位または複数バイトの単位で消去データレジスタ 4 0 に保持される。

#### 【 0 0 3 2 】

図 3 は、フラッシュメモリ 1 8 0 を構成するメモリセルの一構成例を示す構成図である。図示のように、フラッシュメモリのメモリセルは、基板 2 0 0 に形成された不純物領域 2 1 0 と 2 2 0 との間で、いわゆる MOS トランジスタのチャネル形成領域 2 3 0 の基板表面上に、ゲート絶縁膜 2 4 0 を介してフローティングゲート 2 5 0 が形成され、さらに、その表面上層間絶縁膜 2 6 0 を介して、ゲート電極 2 7 0 が形成される。フローティングゲート 2 5 0 とゲート電極 2 7 0 の側面に、絶縁体によってサイドウォール 2 8 0 が形成されている。なお、フローティングゲート 2 5 0 は、導電性材料、例えば、ポリシリコンによって形成され、ゲート電極 2 7 0 は、導電性材料、例えば、ポリシリコンまたは金属層によって形成される。

#### 【 0 0 3 3 】

上述した構成を有するメモリセルのフローティングゲートが、周囲と電氣的に絶縁されているため、フローティングゲートに注入された電荷は、電氣的に閉じ込められ、ほぼ半永久的に保持される。フローティングゲートに注入する電荷の量に応じて、メモリセルのしきい値電圧が変化するので、このしきい値電圧に対応したデータがメモリセルによって記憶される。このため、電源の供給を受けなくても記憶データを保持可能ないわゆる不揮発性のデータ記憶を実現できる。

#### 【 0 0 3 4 】

図 3 ( a ) は、消去状態のメモリセルを示し、同図 ( b ) は、書き込み状態のメモリセルを示している。図示のように、消去状態とは、フローティングゲート

250に正の電荷(+)が注入された状態、即ち、電子が引き抜かれた状態である。このとき、メモリセルのしきい値電圧は通常より低くなる。一方、書き込み状態とは、フローティングゲート250に負の電荷(電子)が注入された状態である。このとき、メモリセルのしきい値電圧は通常より高くなる。

## 【0035】

消去状態のメモリセルにデータ「1」に対応させ、書き込み状態のメモリセルにデータ「0」に対応させると定義すると、消去状態の場合、1バイト分のメモリセルの記憶データは、16進数の「&hFF」となる。即ち、1バイトのすべてのビットが「1」に保持される。

## 【0036】

フラッシュメモリ180は、行列状に配置されている複数のメモリセルによって構成されている。各行のメモリセルのゲート電極が同じワード線に接続され、各列のメモリセルのソースまたはドレインは同じビット線に接続されている。メモリセルの配置によって、NOR型とNAND型などの種類がある。以下、NOR型及びNAND型のフラッシュメモリの構成及び動作についてそれぞれ説明する。

## 【0037】

図4は、NOR型フラッシュメモリの構成及びその消去と書き込み動作を示す図である。図4(a)は、消去時の動作を示し、図4(b)は、書き込み時の動作を示している。

図4に示すように、NOR型フラッシュメモリは、隣り合うメモリセル列の各メモリセルが同じビット線に接続されている。

## 【0038】

図4(a)に示すように、消去のとき、基板に正の高電圧が印加される。これによって、フローティングゲートの電子が基板側に引き抜かれるので、等価的にフローティングゲート正の電荷が蓄積されることになる。このため、メモリセルのしきい値電圧が低下する。なお、上述したように、消去状態のメモリセルの記憶データは、「1」に対応している。

## 【0039】

上述したメモリセルの消去は、複数のメモリに対して一括して行われる。これに対して、メモリセルの書き込みは、個々のメモリセルに対して行われる。書き込みのとき、選択ワード線及び選択ビット線の両方に接続されているメモリセルが選択され、これに対して書き込みが行われる。

## 【 0 0 4 0 】

図 4 ( b ) に示すように、書き込みのとき、メモリセルのソースが接地電位  $GND$  (  $0V$  ) に保持され、選択ワード線  $WL$  には、書き込み電圧  $V_{pp}$  が印加される。他の非選択ワード線が接地電位  $GND$  に保持されている。このとき、選択ビット線  $BL$  に印加された電圧に応じて、選択メモリセルに書き込まれるデータが決まる。例えば、選択ビット線に  $0V$  の電圧が印加されるとき（書き込みデータ「0」に対応する）、選択ビット線  $BL$  に接続されている選択メモリセルのチャネル領域から、フローティングゲートに電子が注入される。このため、書き込みによりメモリセルのしきい値電圧が高くなる。この状態が記憶データ「0」に対応する。

また、選択ビット線に正の電圧が印加されるとき、選択メモリセルのフローティングゲートに電子が注入されない。このため、書き込みのあとメモリセルのしきい値電圧が変化せず、消去状態のままに保持される。この状態が記憶データ「1」に対応する。

## 【 0 0 4 1 】

図 5 は、 $NAND$  型フラッシュメモリの構成及びその消去と書き込み動作を示す図である。図 5 ( a ) は、消去時の動作を示し、図 5 ( b ) は、書き込み時の動作を示している。

$NAND$  型のフラッシュメモリでも、複数のメモリセルが行列状に配置されている。しかし、 $NOR$  型のフラッシュメモリと異なって、図 5 に示すように、 $NAND$  型フラッシュメモリでは、ビット線とソース線との間に複数のメモリセルが直列に接続されている。

## 【 0 0 4 2 】

図 5 ( a ) に示すように、消去のとき、基板に正の高電圧が印加される。これによって、フローティングゲートの電子が基板側に引き抜かれるので、等価的に

フローティングゲート正の電荷が蓄積されることになる。このため、メモリセルのしきい値電圧が低下する。なお、上述したように、消去状態のメモリセルの記憶データは、「1」に対応している。

## 【0043】

上述したメモリセルの消去は、複数のメモリに対して一括して行われる。これに対して、メモリセルの書き込みは、個々のメモリセルに対して行われる。書き込みのとき、選択ワード線及び選択ビット線の両方に接続されているメモリセルが選択され、これに対して書き込みが行われる。

## 【0044】

図5(b)に示すように、書き込みのとき、ソース線が接地電位GNDに保持され、選択ワード線WLには、書き込み電圧 $V_{pp}$ が印加され、その他のワード線に中間電圧 $V_{pass}$ が印加される。このとき、選択ビット線BLに印加された電圧に応じて、選択メモリセルに書き込まれるデータが決まる。例えば、選択ビット線に0Vの電圧が印加されるとき、選択メモリセルのチャネル領域が0Vに保持されるので、そのチャネル領域から、フローティングゲートに電子が注入される。このため、書き込みによりメモリセルのしきい値電圧が高くなる。この状態が記憶データ「0」に対応する。

## 【0045】

また、選択ビット線に正の電圧が印加されるとき、選択メモリセルのドレイン領域も正の電圧に保持されるので、選択メモリセルのフローティングゲートに電子が注入されない。このため、書き込みのあとメモリセルのしきい値電圧が変化せず、消去状態のままに保持される。この状態が記憶データ「1」に対応する。

## 【0046】

上述したように、NOR型またはNAND型の何れかのフラッシュメモリでも、消去が一括して行われる。消去後のメモリセルの保持データが「1」となる。即ち、消去状態にあるメモリセルの記憶データが「1」である。NOR型またはNAND型のフラッシュメモリの書き込みは、各メモリセル単位で行われる。書き込みによって、データ「0」または「1」の何れかをメモリセルに記憶することができる。



## 【 0 0 4 7 】

次に、本実施形態における誤り訂正回路 1 5 0 の全体の動作を説明する。

図 6 及び図 7 は、それぞれ本実施形態の誤り訂正回路 1 5 0 の書き込み時及び読み出し時の動作を示すフローチャートである。以下、これらのフローチャート及び図 2 に示す回路を参照しつつ、誤り訂正回路 1 5 0 の動作を説明する。

## 【 0 0 4 8 】

まず、図 6 を参照しつつ、書き込み時の動作について説明する。

ステップ S A 1 : 消去データレジスタ 4 0 に保持されている消去データ  $D_E$  を読み出し、入力される書き込みデータ  $D_{in}$  とともに一致検出回路 5 0 に入力する。

ステップ S A 2 : 一致検出回路 5 0 において、入力される書き込みデータ  $D_{in}$  のうちユーザデータ 5 1 2 バイトと消去データレジスタ 4 0 から読み出した消去データ  $D_E$  とを比較する。当該比較の結果、書き込みデータ  $D_{in}$  と消去データ  $D_E$  とが一致した場合、ステップ S A 3 に進み、E C C 符号化回路が計算したパリティビットを選択しないで消去データ  $D_E$  を選択する。逆に、上記比較の結果、書き込みデータ  $D_{in}$  と消去データ  $D_E$  が一致しない場合、ステップ S A 4 に進み、誤り訂正符号化処理後の書き込みデータ  $D_{in}$  を選択する。

## 【 0 0 4 9 】

ステップ S A 5 : 選択されたデータ  $D_W$  をフラッシュメモリ・インターフェース 1 7 0 を介して、フラッシュメモリ 1 8 0 に書き込む。

## 【 0 0 5 0 】

なお、上述した一致検出回路 5 0 における比較は、書き込みデータ  $D_{in}$  と消去データ  $D_E$  のすべてのビットが比較される。その結果、すべてのビットが一致したとき、一致するとの判断結果を示す比較信号  $S_{CP}$  を出力し、1 ビットでも異なるなら、一致しないとの判断結果を示す比較信号  $S_{CP}$  を出力する。

## 【 0 0 5 1 】

図 8 は、不揮発性メモリに記憶する書き込みデータ  $D_{in}$  の一例を示している。図示のように、書き込みデータ  $D_{in}$  は、5 1 2 バイトのユーザデータ、1 5 バイトのパリティビット、及び 1 バイトの管理ビットから構成されている。パリティ

ビットには、ユーザデータに対して誤り訂正符号化処理の結果が書き込まれる。管理ビットには、ユーザデータの属性情報、例えば、著作権情報などが書き込まれる。なお、管理ビットに対しては誤り訂正符号化処理は行わない。

## 【 0 0 5 2 】

書き込みのとき、図 8 に示す書き込みデータ  $D_{in}$  のユーザデータが、例えば、バイト単位で誤り訂正回路 1 5 0 に入力される。誤り訂正回路 1 5 0 の消去データレジスタ 4 0 にも、例えば、バイト単位の消去データ  $D_E$  が保持されている。このため、一致検出回路 5 0 において、バイト単位で入力されるユーザデータ  $D_{in}$  と消去データ  $D_E$  が順次比較される。その結果、ユーザデータのすべてのバイトが消去データ  $D_E$  と一致するとき、パリティビットに誤り訂正符号化の結果を採用しないで消去データと同じデータをセットする。そして、ユーザデータ、パリティビットのすべてのバイトが消去データ  $D_E$  のままで、フラッシュメモリ 1 8 0 に書き込まれる。管理ビットは書き込みデータ  $D_{in}$  が書き込まれる。

## 【 0 0 5 3 】

逆に、一致検出回路における検出の結果、ユーザデータに消去データ  $D_E$  に一致しないデータが検出された場合、当該ユーザデータに基づいて、ECC 符号化回路 2 0 によって生成された誤り訂正符号がパリティビットにセットされる。そして、ユーザデータ、誤り訂正符号がセットされるパリティビット及び管理ビットがフラッシュメモリ 1 8 0 に書き込まれる。

## 【 0 0 5 4 】

上述した書き込み処理により、ユーザデータがすべて消去データ  $D_E$  の場合、誤り訂正符号が採用されずに、消去データのままだデータがフラッシュメモリに書き込まれる。逆に、ユーザデータに消去データと一致しないデータが含まれている場合、ユーザデータと、当該ユーザデータに応じて生成された誤り訂正符号がセットされるパリティビット及び管理ビットがフラッシュメモリ 1 8 0 に書き込まれる。

## 【 0 0 5 . 5 】

次に、図 7 を参照しつつ、読み出し時の動作について説明する。

ステップ S B 1 : フラッシュメモリ 1 8 0 からデータ  $D_R$  が読み出される。な

お、この読み出しデータ  $D_R$  には、ユーザデータとパリティデータ、及び管理データが含まれる。

ステップ S B 2 : 読み出しデータ  $D_R$  と、消去データレジスタ 4 0 から取得した消去データ  $D_E$  とが一致検出回路 5 0 に送られ、一致検出回路によって比較される。当該比較の結果、読み出しデータ  $D_R$  と消去データ  $D_E$  とが一致する場合、ステップ S B 3 に進み、誤り検出及び誤り訂正のための復号化処理を行わず、消去データ  $D_E$  をそのまま読み出しデータとして選択する。

【 0 0 5 6 】

一方、比較の結果、読み出しデータ  $D_R$  と消去データ  $D_E$  が一致しない場合、ステップ S B 4 に進み、読み出しデータ  $D_R$  に対して、誤り検出を行い、誤りがあった場合、ユーザデータ及びパリティビットにセットされている誤り訂正符号に基づき、誤り訂正を行う。そして、誤り訂正後のデータが選択回路によって選択される。

【 0 0 5 7 】

ステップ S B 5 : 選択回路 6 0 によって選択されたデータを出力する。

【 0 0 5 8 】

上述した書き込み及び読み出し動作によって、フラッシュメモリに記憶しようとする書き込みデータ  $D_{in}$  のうちユーザデータ 5 1 2 バイトがフラッシュメモリの消去状態の消去データ  $D_E$  と一致するとき、管理ビットを除き、誤り訂正符号化処理の結果を採用せず、ユーザデータ、パリティビットのすべてのデータが消去データ  $D_E$  に設定されて、フラッシュメモリに書き込まれる。そして、読み出しのとき、ユーザデータ及びパリティビットのすべてのデータが消去データ  $D_E$  に一致するとき、管理ビットを除き、誤り訂正復号化処理の結果を採用せず、消去データ  $D_E$  を読み出しデータとして出力される。さらに、この場合、誤り訂正復号化処理を実施する必要もなく、処理負荷の大きい誤り訂正復号化処理を省略することによって、処理回路の負担を低減でき、消費電力の低減などの付随効果が得られる。

【 0 0 5 9 】

【発明の効果】

以上説明したように、本発明によれば、入出力データに対して誤り訂正符号化処理及び復号化処理を行う半導体記憶装置において、入力データが不揮発性メモリの所定の状態にあるときの状態データ、例えば、消去状態にあるときの消去データとの比較結果に応じて、符号化処理によって得られた符号化データまたは消去データをそのまま不揮発性メモリに記憶し、読み出しのとき、読み出しデータと消去データとの比較結果に応じて、復号化処理をせずに読み出しデータをそのまま出力することができるので、書き込み及び読み出しにおける処理の無駄を回避でき、誤り訂正処理における誤判断の発生を防止できる。また、読み出しデータによって、処理負荷の大きい復号化処理を省略できるので、処理負荷の低減及び消費電力の節約を実現できる利点がある。

【図面の簡単な説明】

【図 1】

本発明に係る半導体記憶装置の一実施形態を示す構成図である。

【図 2】

誤り訂正回路の構成を示す回路図である。

【図 3】

不揮発性メモリセルの一構成例を示す断面図である。

【図 4】

NOR型不揮発性メモリの消去及び書き込み動作を示す概念図である。

【図 5】

NAND型不揮発性メモリの消去及び書き込み動作を示す概念図である。

【図 6】

書き込み時の動作を示すフローチャートである。

【図 7】

読み出し時の動作を示すフローチャートである。

【図 8】

書き込みデータの一例を示す図である。

【符号の説明】

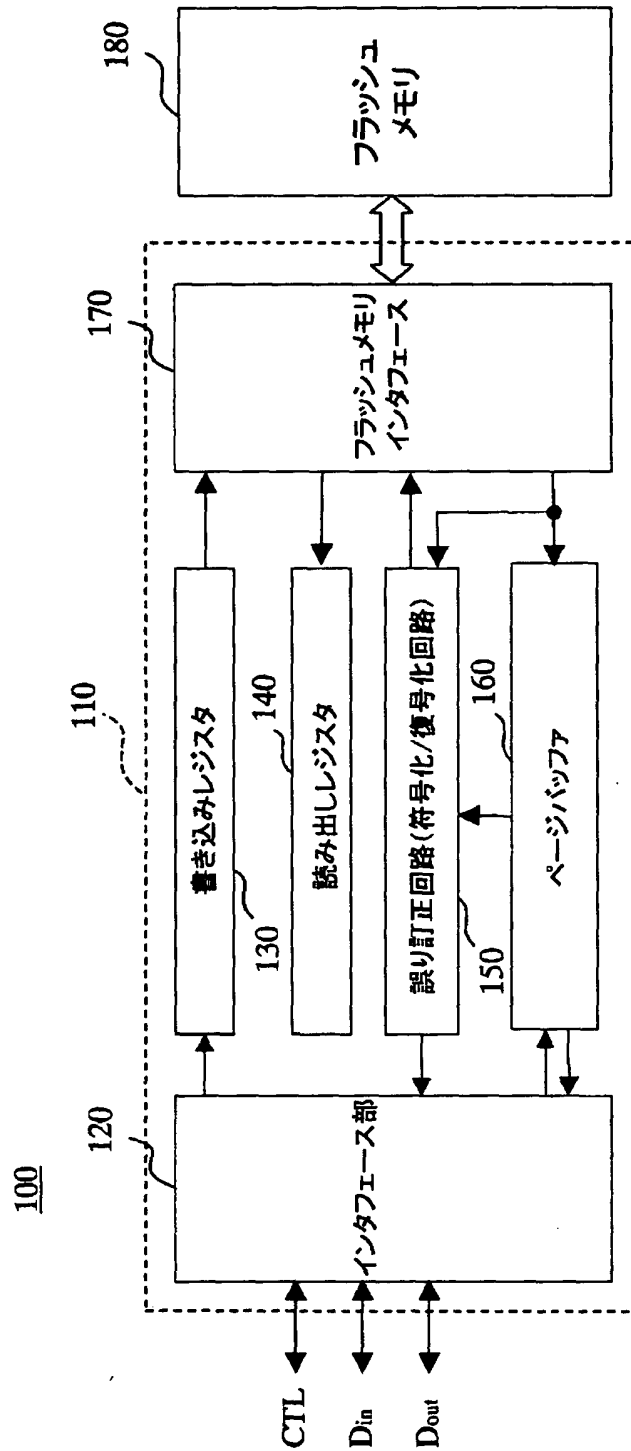
2 0 … 誤り訂正符号化回路（ECC符号化回路）、3 0 … 選択回路、4 0 … 消

去データレジスタ、50…一致検出回路、60…選択回路、70…誤り訂正復号化回路（ECC復号化回路）、80…RAM、100…半導体記憶装置、110…制御部、120…インターフェース部、130…書き込みレジスタ、140…読み出しレジスタ、150…誤り訂正回路（符号化／復号化回路）、160…ページバッファ、170…フラッシュメモリ・インターフェース、180…フラッシュメモリ。

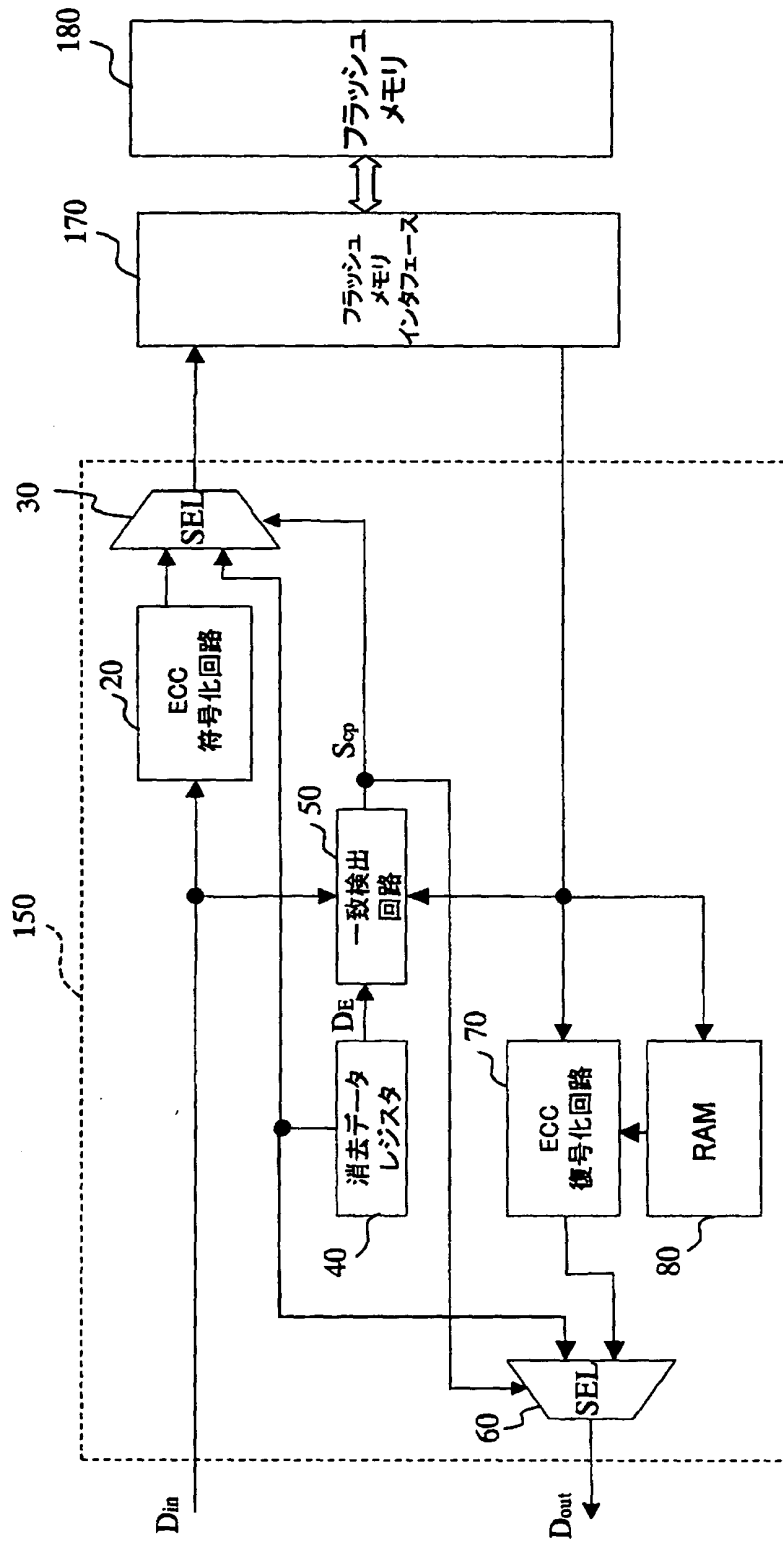
【書類名】

図面

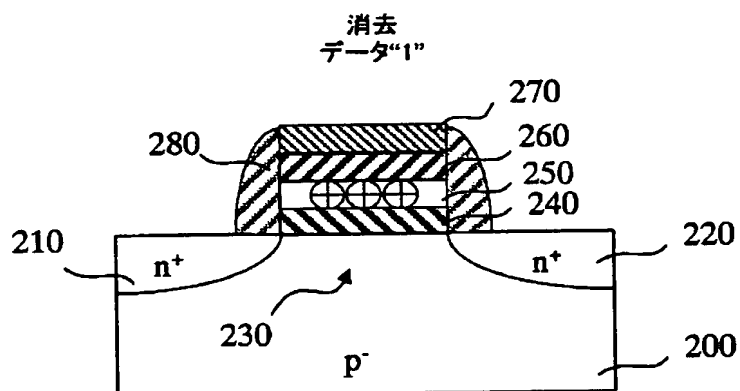
【図1】



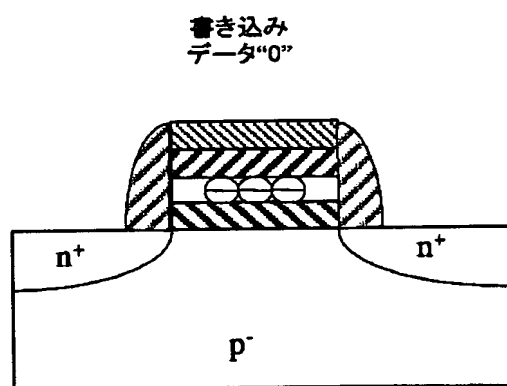
【図 2】



【図 3】



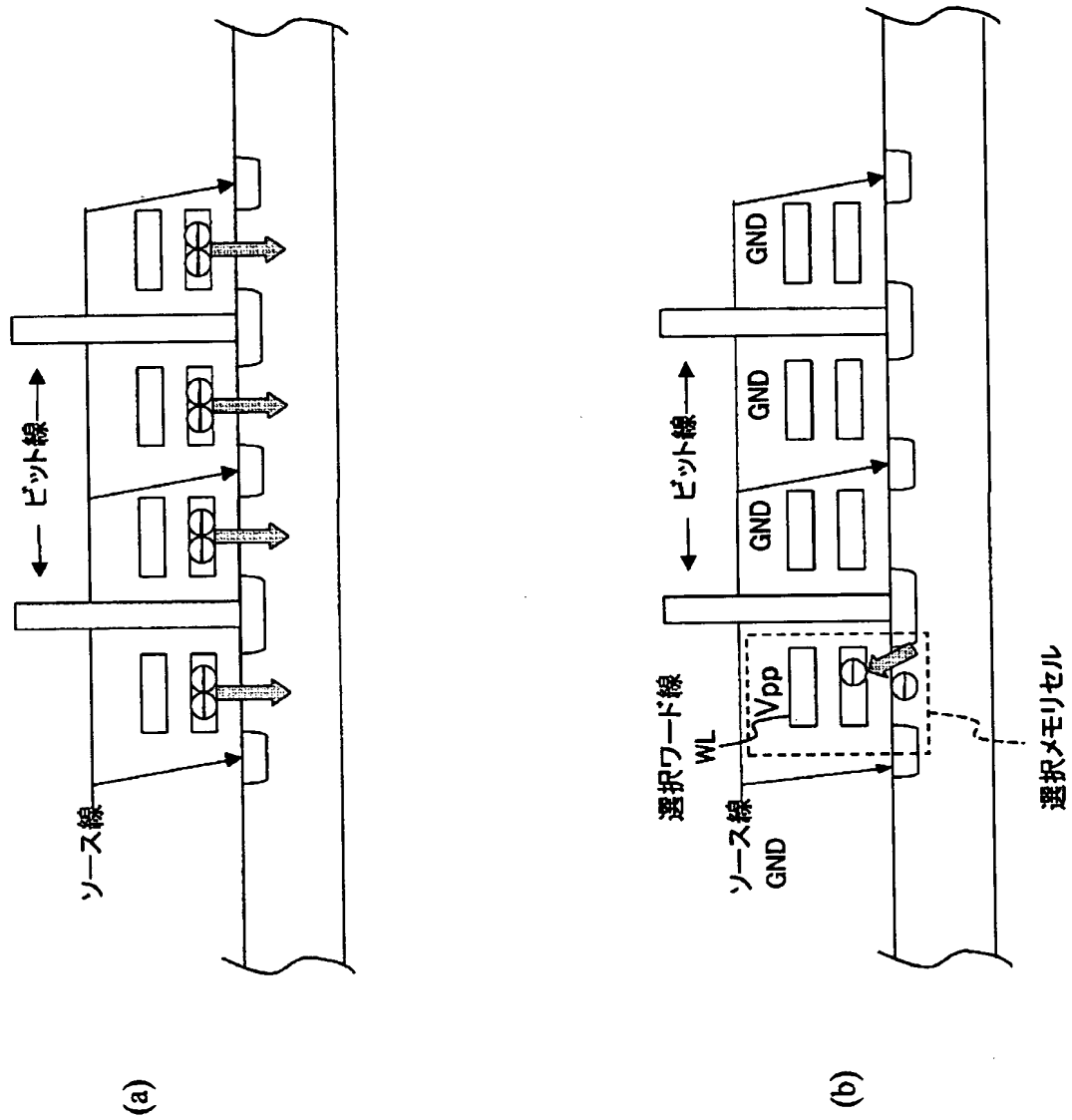
(a)



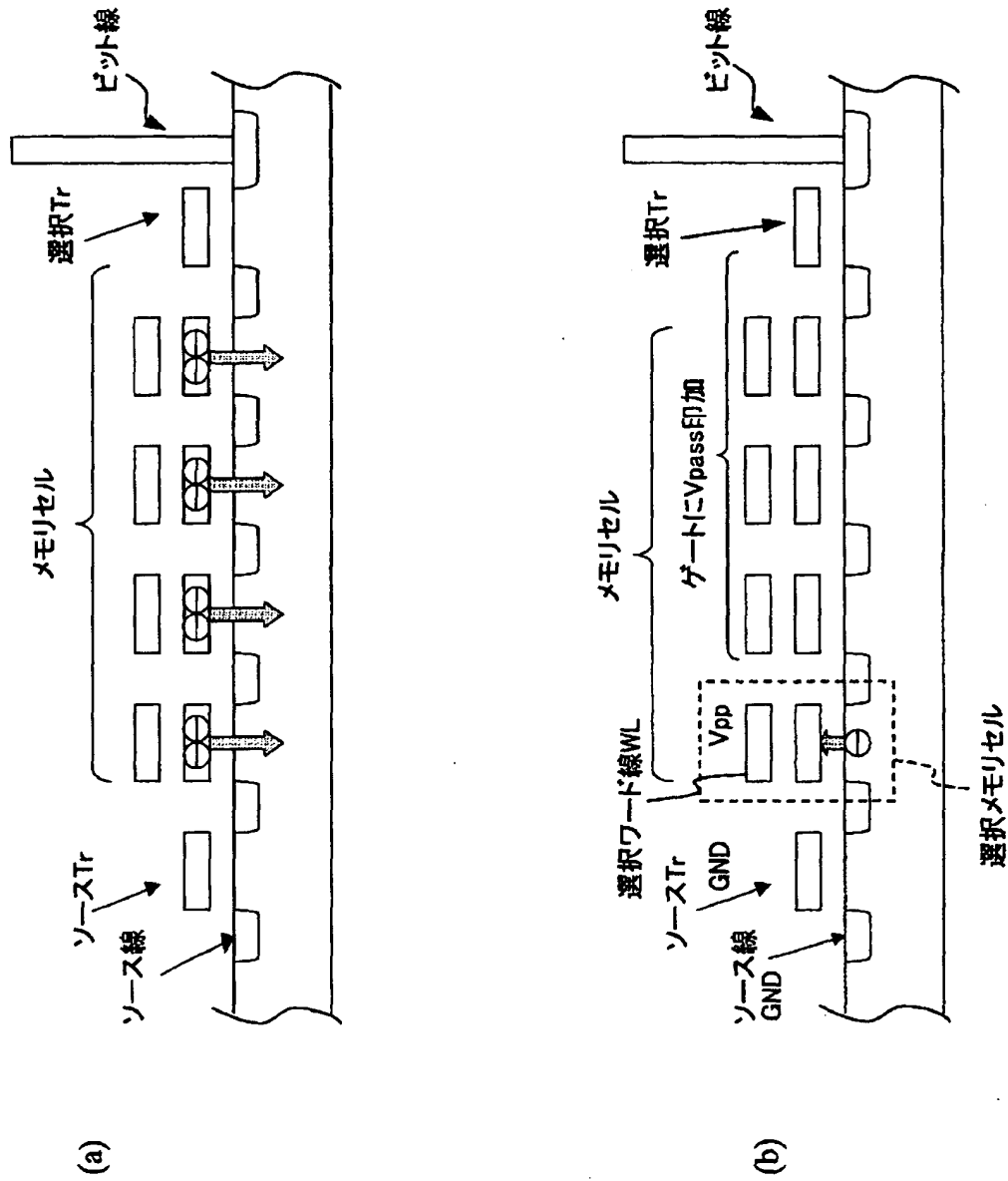
(b)



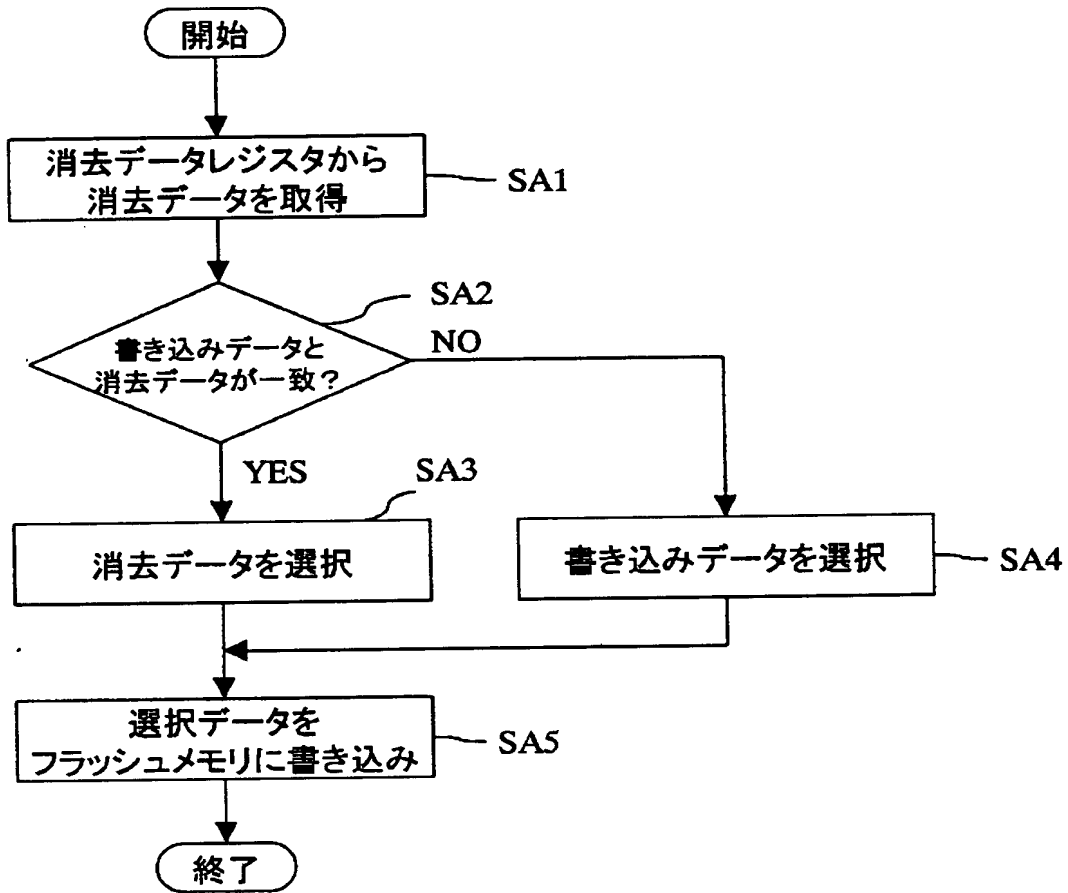
【図 4】



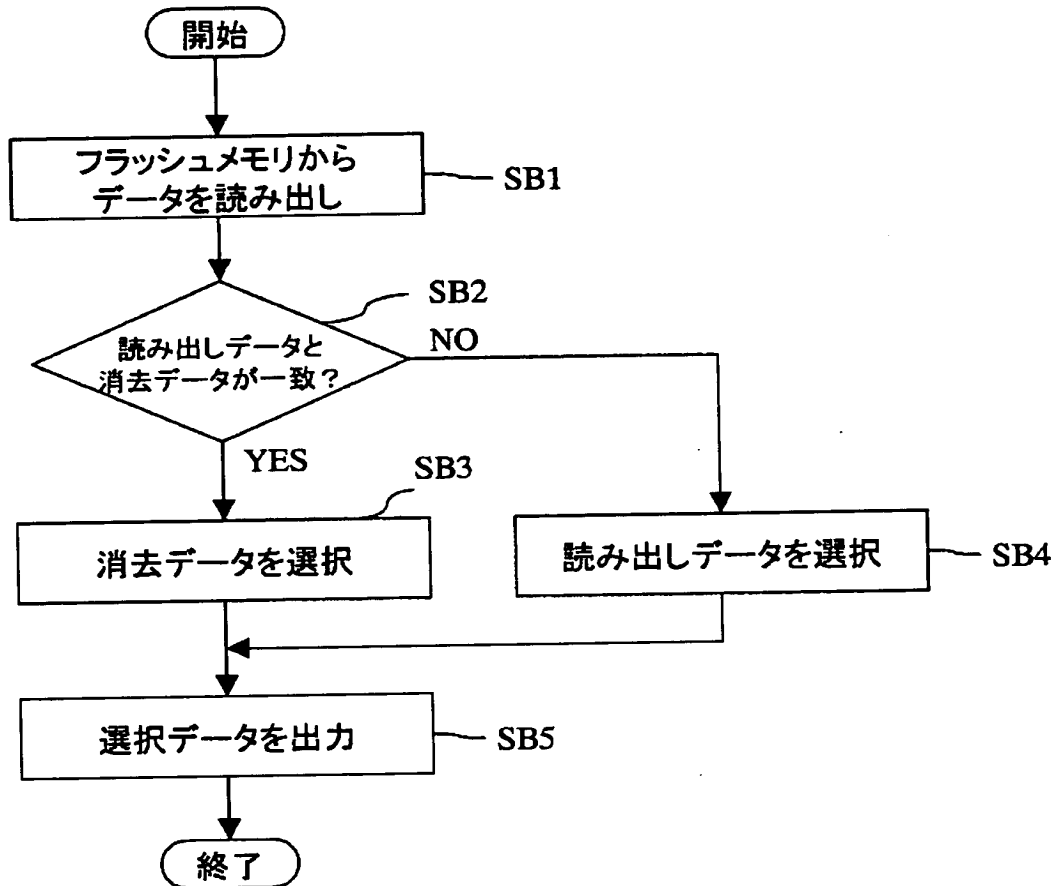
【図5】



【図 6】



【図 7】



【図 8】

512バイト	15バイト	1バイト
ユーザデータ	パリティビット	管理ビット

【書類名】 要約書

【要約】

【課題】 誤り訂正のための符号化処理及び符号化処理を行う半導体記憶装置において、不揮発性メモリが所定の初期状態にあるとき、誤り検出により生じる誤判定を回避できる半導体記憶装置を実現する。

【解決手段】 書き込みのとき、書き込みデータと所定の状態データ、例えば、不揮発性メモリが消去状態にあるときの消去データとが比較され、当該比較の結果に応じて、書き込みデータが消去データと一致するとき、消去データを選択し、逆に一致しないとき、書き込みデータを誤り訂正符号化処理した符号化データを選択して不揮発性メモリに書き込む。読み出しのとき、不揮発性メモリからの読み出しデータと消去データとの比較結果に応じて、読み出しデータが消去データと一致するとき、消去データを選択し、逆に一致しないとき、読み出しデータを誤り訂正復号化処理した復号化データを選択して出力する。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 2 1 8 5 ]

1. 変更年月日	1 9 9 0 年 8 月 3 0 日
[変更理由]	新規登録
住 所	東京都品川区北品川 6 丁目 7 番 3 5 号
氏 名	ソニー株式会社